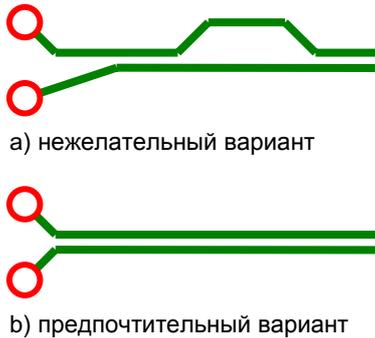


КАК ИЗБЕЖАТЬ ОШИБОК ПРИ РАЗВОДКЕ ДИФФЕРЕНЦИАЛЬНЫХ СИГНАЛОВ

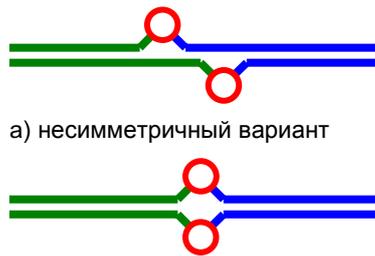
Предыдущая статья ([А. Риози. Необходимые условия разводки дифференциальных сигналов](#)) была посвящена некоторым правилам по разводке высокоскоростных дифференциальных сигналов, таких как сохранение параллельности и симметричности между двумя комплементарными проводниками. В этой статье уделяется внимание ошибкам, которые могут встречаться при проектировании или разводке высокоскоростных дифференциальных цепей, а также способам избежать их. На рис. 1а показаны проводники дифференциальной пары, проложенные от выводов компонента. Данная разводка сделана с нарушениями правила симметрии. Рис. 1б иллюстрирует лучший, предпочтительный способ симметричной разводки.



а) нежелательный вариант
б) предпочтительный вариант

Рис. 1. Варианты разводки дифференциальной пары

Правило симметрии по отношению к размещению отверстий показано на рис. 2. С помощью пары отверстий осуществляется переход проводников дифференциальных сигналов с одного слоя печатной платы на другой. На рис. 2а размещение отверстий приводит к нарушению симметрии (отверстия не располагаются в одинаковых, с точки зрения проводников, местах) и, таким образом, такое размещение нежелательно. На рис. 2б показан более предпочтительный вариант, при котором отверстия располагаются в одинаковых местах, вдоль дифференциальных проводников, сохраняя симметрию разводки.



а) несимметричный вариант
б) симметричный вариант

Рис. 2. Размещение отверстий дифференциальной пары

На рис. 3 показана часть печатной платы с проводниками на сигнальном слое и полигонами питания и земли во внутреннем. Отмечены три ошибки разводки.

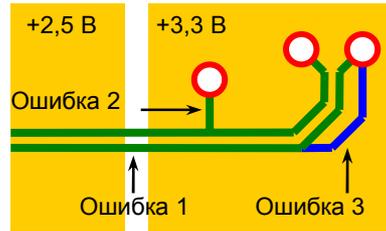


Рис. 3. Примеры ошибок при разводке дифференциальной пары

Первая – разводка шин высокоскоростных сигналов над границей разделения полигонов. Зачастую полигоны питания и земли делаются непрерывными, что хорошо подходит для высокоскоростных печатных плат. Тем не менее, встречаются случаи, когда слой, отведенный под питание схемы, содержит несколько полигонов, образующих острова. Нежелательно, чтобы проводники высокоскоростных сигналов пересекали разрывы между полигонами, поскольку это может разорвать путь возвратного тока синфазного сигнала, ухудшить качественные показатели сигнала и увеличить электромагнитные помехи и “дрожание” потенциала питания и земли. По аналогичным причинам, разводка над другими типами свободных областей полигонов должна по возможности избегаться. Это также касается высокоскоростных однопроводных сигналов, для которых это может быть даже более важно, потому что зазоры в полигонах отклоняют пути возвратного сигнала, добавляют проводнику индуктивность и увеличивают перекрестные помехи.

Вторая ошибка относится к предотвращению создания отводов от основного проводника, когда это осуществимо, потому что они могут также ухудшать качество сигнала и создавать дополнительные электромагнитные помехи.

Третья ошибка относится к проводнику синего цвета, разводка которого нарушает правило параллельности дифференциальных шин. Предпочтительная разводка для этого отрезка сигнала показана проводником зеленого цвета. Несоблюдение правила параллельности может приводить к появлению сосредоточенных неоднородностей импеданса проводника, неблагоприятно воздействует на качество сигнала, приводит к разности длин и асимметрии дифференциальных проводников.

Анализ структуры стеклотекстолита приводит к интересным размышлениям относительно разводки. На рис. 4 показана структура широко применяемого при изготовлении печатных плат стеклотекстолита марки FR-4 – стекловолоконные жгуты (коричневого цвета), между которыми располагается застывшая смола (желтого цвета). В действительности, стекловолокно, обеспечивающее механическую прочность, белого цвета, а смола (заполняющая пространство между жгутами и формирующая гладкую поверхность) – бледно желтого. Электрические свойства стеклотекстолита марки FR-4 изменяются в зависимости от соотношения долей стекловолокна и смолы.

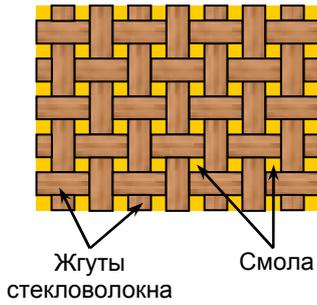


Рис. 4. Структура стеклотекстолита типа FR-4

Относительная диэлектрическая постоянная (ϵ_r) для FR-4 находится в диапазоне от 4.0 до 4.5, однако для чистой эпоксидной смолы – ϵ_r около 3.8, а для чистого стекловолокна – ϵ_r около 5.8 на частоте 1 МГц. Неоднородность характеристик материала печатной платы может сказываться на характеристики проводника в зависимости от того, где он проложен – на участке с преобладанием смолы или на участке с преобладанием стекловолокна. Это может приводить к нежелательной неидентичности характеристик проводников дифференциальной пары, поскольку диэлектрическая постоянная основания печатной платы оказывает влияние на импеданс проводников и их высокочастотность при расположении на внешнем (несимметричная полосковая линия) и внутреннем (полосковая линия) слоях. Это соображение проиллюстрировано на рис. 5.

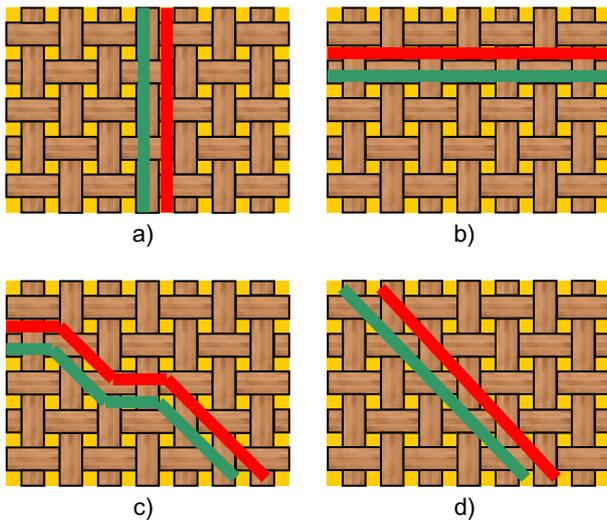


Рис. 5. Варианты разводки дифференциальной пары

Протяженные горизонтальные или вертикальные проводники дифференциальных пар (рис. 5a и 5b) более восприимчивы к неоднородности электрических характеристик подложки, чем диагональные (рис. 5c и 5d). Например, на рис. 5a зеленый проводник проходит непосредственно над стекловолокном ($\epsilon_r \sim 5.8$), в то время как красный проводник – над участком, содержащим смолу ($\epsilon_r \sim 3.8$). То же самое можно сказать и по отношению к проводникам, показанным на рис. 5b. При диагональной разводке проводников (рис. 5c и 5d) воздействие неоднородностей подложки усредняется. Следовательно, в высокоскоростных приложениях может быть более приемлема диагональная разводка длинных дифференциальных шин, чем вертикальная или горизонтальная (параллельная расположению стекловолокна).

Кроме того, для минимизации асимметрии и достижения точных временных характеристик равенство длин проводников дифференциальной пары должно быть в достаточной степени соблюдено. На рис. 6 показано, как должны учитываться длины проводников внутри корпуса интегральной схемы ($L1_pkg$ и $L2_pkg$) и проводников печатной платы ($L1_PCB$ and $L2_PCB$) для получения равенства суммарных длин.

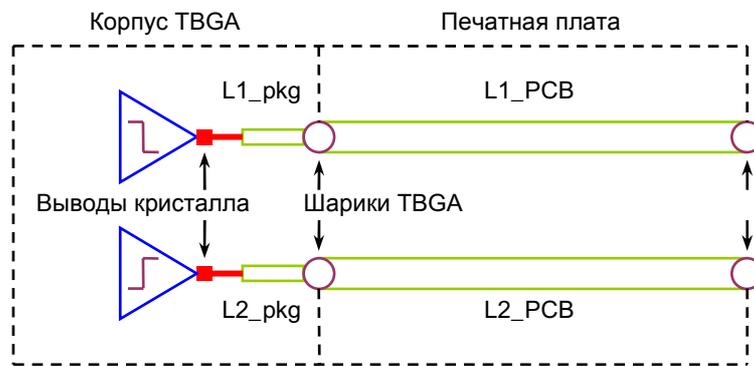


Рис. 6. Сумма $L1_pkg + L1_PCB$ должна равняться $L2_pkg + L2_PCB$

Кроме того, часто разводка является ограничивающим фактором с точки зрения минимизации длины проводников и идентичности их импедансов.

Согласованная нагрузка дифференциальной пары требуется достаточно часто для минимизации помех и отражений в линии.

Оптимальные предельные значения длины проводников, диапазон импеданса и значений нагрузки, определенные для достижения наилучших качественных показателей и точности временных характеристик, могут быть установлены при моделировании. На рис. 7

приведена топологическая схема, которая включает в себя дифференциальный передатчик (U1), линии передачи (T1, T2, T3 и T4), согласующий резистор (Rt) и дифференциальный приемник (U2).

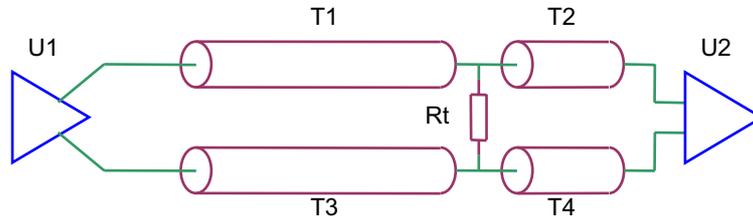


Рис. 7. Согласованная дифференциальная структура

Для получения достоверных результатов высокоскоростного моделирования часто необходимо задавать параметры линии передачи как линии с потерями (в отличие от линии без потерь), поскольку диэлектрические и резистивные потери проводников печатной платы могут уменьшать амплитуду сигнала, скорость нарастания фронтов, а также ухудшать шумовые и временные характеристики. Несмотря на это, может оказаться целесообразным представить, что потери в линии незначительны. При таком допущении моделирование упрощено и происходит более эффективно.

При моделировании высокоскоростных блоков печатной платы или временных параметров источников синхросигналов (задержка распространения сигнала, задержка между тактовым и выходным сигналами, время установки и удержания приемника) иногда становится важным различать, какие из этих параметров определяются топологией кристалла, а какие выводами интегральной схемы.

На рис. 7 не показаны элементы внутренней топологии, состоящие из контактных площадок кристалла интегральной схемы, проводников, шин, отверстий и т.д. Тем не менее, настоятельно рекомендуется принимать во внимание эквивалентные схемы этих элементов при моделировании передатчика и приемника. Наиболее достоверные результаты получаются при моделировании всего участка схемы от выводов передатчика до выводов приемника с учетом эффектов от проводников внутри корпуса ИС и других паразитных элементов.

Блок, представляющий паразитные элементы корпуса, на рис. 8а и 8б может быть представлен RLC-структурой, линией передачи с распределенными параметрами (пригодной для Spice-моделирования) или модулем TOPSPEC (для ХТК-моделирования). Сложность модели в зависимости от типа корпуса может значительно меняться. Список элементов, вносящих вклад в паразитные сопротивление, емкость и индуктивность (R_PKG, C_PKG, и L_PKG), для нескольких типов корпусов приведен ниже:

- TBGA – проводники и шарики (многослойные TBGA имеют также отверстия внутри корпуса);
- PBGA – проводники, отверстия и шарики;
- FCBGA – контактные столбики, проводники, отверстия и шарики;
- QFP – проводники и выводы;
- DIP – проводники и выводы.

Один из способов учета воздействия внутренних элементов (проводников) корпуса представлен на рис. 6. Необходимо отметить, что в некоторых случаях модель паразитных элементов более сложна, чем модель простого проводника. На рис. 8 изображен другой способ представления паразитных элементов топологии передатчика и приемника.

Для каждого из перечисленных корпусов к паразитным элементам еще добавляется небольшая часть, образующаяся от проводников, соединяющих топологическую схему и выводы кристалла.

Скорость распространения сигнала также в большой степени оказывает воздействие при точном моделировании. Эквивалентные параметры внутренних топологических паразитных элементов корпуса, а также выводов интегральной схемы могут быть получены из разных источников (справочные технические данные, Spice- или IBIS-модели и т.п.). Зачастую, для моделирования высокоскоростных схем является более предпочтительным представление паразитных элементов в виде элементов с распределенными параметрами (например, линией передачи некоторой длины, импедансом и быстродействием), чем RLC-структурой.

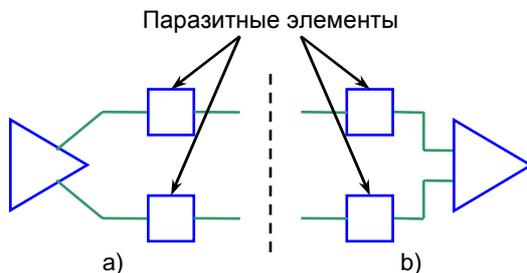


Рис. 8. Представление передатчика и приемника с паразитными элементами