

Согласование высокоскоростных формирователей тактовых сигналов

Джером Пату

При использовании формирователей¹ или буферов разветвления тактовых сигналов для АЦП и ЦАП, должны быть рассмотрены два основных источника ухудшения качества этих сигналов - дизайн проводников печатной платы (РСВ) и согласование выходных сигналов.

Тактовые шины и амплитуда сигнала

Проводники печатной платы при прохождении сигналов ведут себя как низкочастотные фильтры, внося искажения в форму и увеличивая длительность фронтов сигналов при увеличении длины. Высокочастотные тактовые сигналы более подвержены увеличению затухания, искажений и шума. Тем не менее, для уменьшения фазового шума (джиттер, jitter), который ослабевает при относительно низкой скорости нарастания выходного напряжения (рисунок 1), обычно используются тактовые сигналы с высокой скоростью нарастания. Для корректной передачи сигналов их амплитуда должна быть достаточно большой, а длина подводящих проводников наиболее возможно короткой.

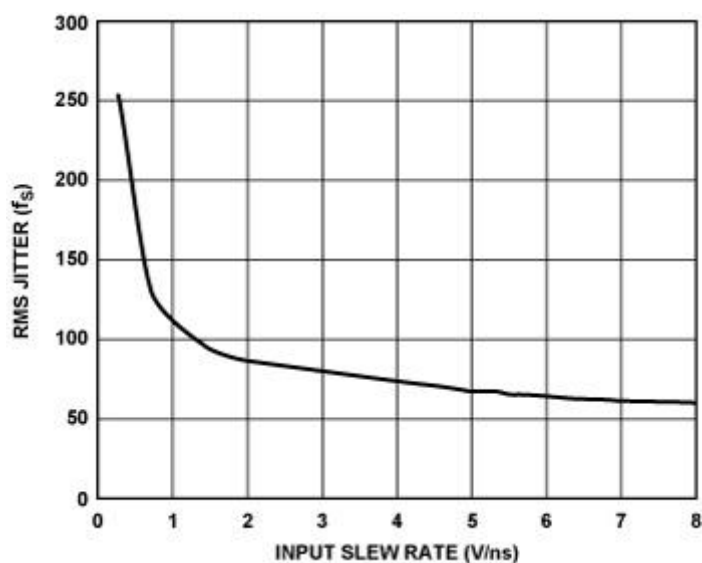


Рисунок 1. Зависимость фазового шума от скорости нарастания входного напряжения для ADCLK925.

Представителями устройств распределения тактовых сигналов являются ADCLK954² (буфер-разветвитель) и ADCLK914³ (сверхбыстрый буфер). ADCLK954 содержит 12 выходных драйверов с полным дифференциальным размахом выходного напряжения 1,6 В (ЭСЛ или низковольтная положительная ЭСЛ) на нагрузке 50 Ом (рисунок 2), частота переключения составляет до 4,8 ГГц. Для ADCLK914 полный дифференциальный размах выходного напряжения составляет 3,8 В, частота переключения - до 7,5 ГГц.

При управлении ЦАП буферы тактовых сигналов должны располагаться как можно ближе к входу тактового сигнала ЦАП, чтобы обеспечить высокую скорость нарастания напряжения, достаточную амплитуду, улучшения электромагнитной совместимости (ЭМС), уменьшения диэлектрических и других потерь. Следует обратить внимание, что характеристическое сопротивление (Z_0) линии передачи зависит от размеров проводника (длина, ширина, толщина), а выходной импеданс драйвера должен быть согласован с этим сопротивлением.

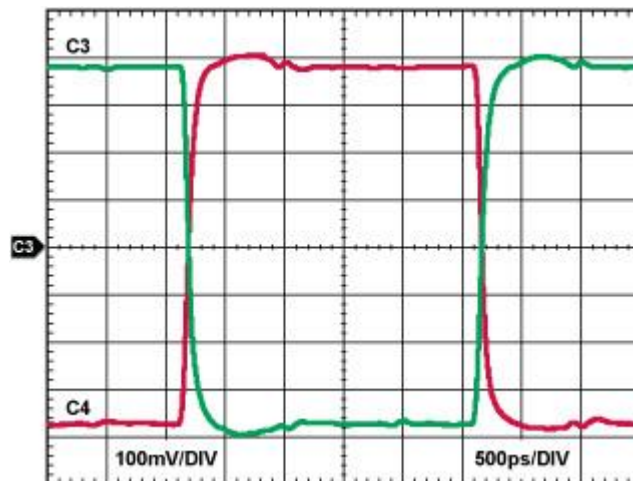


Рисунок 2. Форма выходных сигналов ADCLK954 при напряжении питания 3,3 В.

Согласование выходных сигналов

Ослабление тактового сигнала может вызвать увеличение джиттера, поэтому важно согласование выходного сигнала для предотвращения отражений и для передачи максимальной мощности в нагрузку при относительно большой пропускной способности. Отражения могут вызвать отрицательные и положительные выбросы, внося существенные искажения и изменяя характеристики тактового сигнала, а, в самом неблагоприятном случае, возможно повреждение приемника или самого драйвера. Отражения, вызванные несоответствием выходного и входного импеданса, возникают при не вполне корректном согласовании. Наиболее значительно отражения проявляются при передаче высокоскоростных сигналов с быстрыми фронтами из-за высокочастотных свойств коэффициента отражения. Отраженный импульс накладывается на основной сигнал, ухудшая его форму. Влияние оказывается также и на фронты тактового сигнала, добавляя неопределенность к времени задержки – фазовый шум Δt , как показано на рисунке 3.

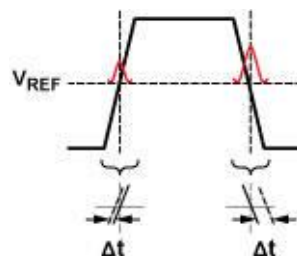
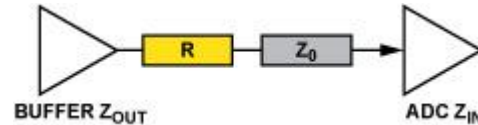
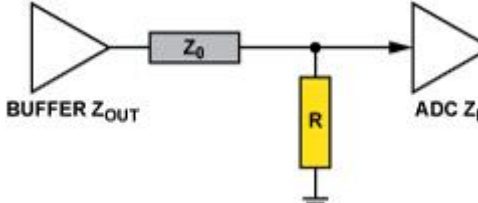
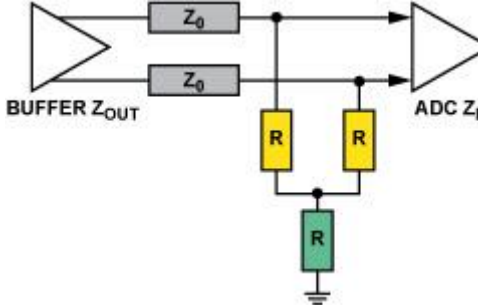
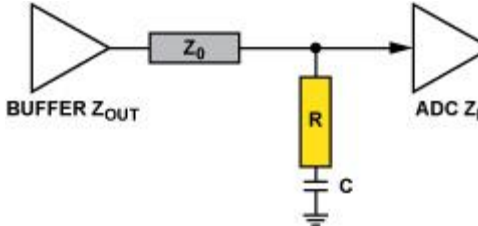
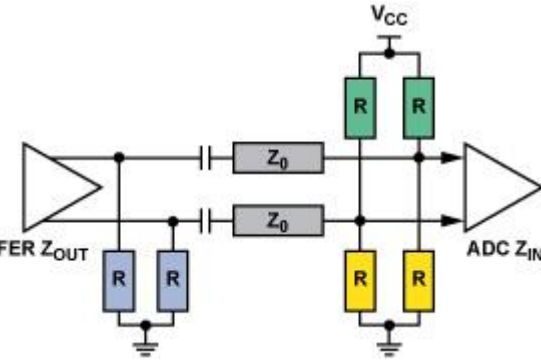
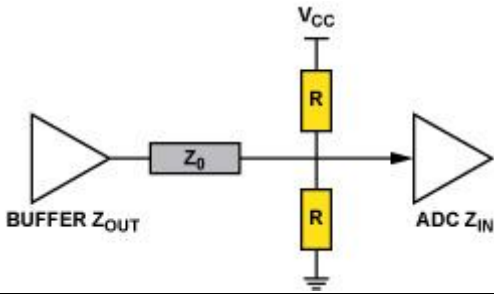
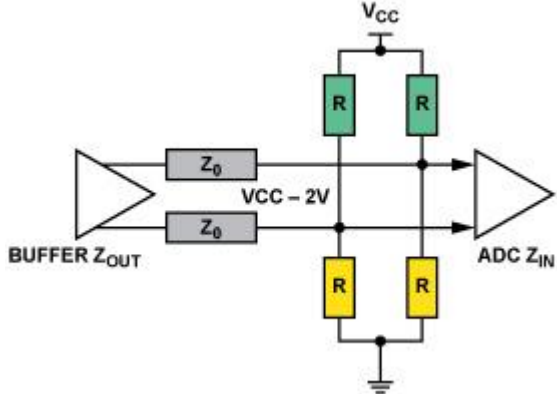


Рисунок 3. Воздействие джиттера отраженного сигнала при неправильном согласовании.

Величина отраженного сигнала из-за неправильного согласования может изменяться со временем, поэтому величина Δt будет также меняться. Постоянная времени также влияет на форму и ширину эхо-импульса. По этим причинам, дополнительное отражение, вызванное нестабильностью формы сигнала, которая выглядит как гауссиан, добавляется к классическому джиттеру. Для того чтобы избежать негативных последствий этого явления и ухудшения качества сигнала, необходимо использовать надлежащие схемы согласования сигнала, приведенные в таблице 1. Z_0 - импеданс линии, Z_{OUT} - выходной импеданс драйвера, Z_{IN} - входной импеданс приемника. В таблице показаны только КМОП- и ЭСЛ-схемы.

Схемы согласования тактовых сигналов

<u>Метод</u>	<u>Достоинства</u>	<u>Недостатки</u>
<u>Последовательное согласование</u>		
<p>КМОП</p>  <p>На практике, сопротивление R упускают, так как трудно получить соответствие из-за динамического поведения в широком частотном диапазоне. Схема непригодна для высокочастотных сигналов. Необходимо использовать короткие проводники</p>	<p>Малая мощность (нет тока в землю). Простой расчет $R (Z_0 - Z_{out})$.</p>	<p>R и C схемы оказывают влияние на фронты сигнала, увеличивая джиттер. Схема пригодна лишь для низкочастотных сигналов</p>
<u>Согласующий резистор</u>		
<p>КМОП</p>  <p>Не рекомендуется к применению</p>	<p>Простой расчет ($R = Z_0$)</p>	<p>Большая потребляемая мощность</p>
<p>ЭСЛ</p>  <p>Рекомендуется к применению Согласующие резисторы должны располагаться как можно ближе к ЭСЛ-приемнику</p>	<p>Простая схема Немного лучше по потребляемой мощности по сравнению с 4-резисторной схемой</p>	
<u>Согласование по переменному току</u>		
<p>КМОП</p>  <p>Значение C должно быть небольшим, чтобы не увеличивать потребляемую мощность на фронтах, но не настолько маленьким, чтобы не обеспечить согласование</p>	<p>Отсутствует потребление по постоянному току</p>	
<p>ЭСЛ</p>  <p>Конденсаторы должны иметь малое эквивалентное последовательное сопротивление и малую емкость</p>	<p>Возможность подстройки напряжения смещения. Отсутствует мощное влияние между двумя частями схемы</p>	<p>Рекомендуется только для сбалансированных сигналов (коэффициент заполнения - 50%)</p>

Резисторный мост		
<p>КМОП</p> 	<p>Рациональный компромисс по потребляемой мощности</p>	<p>Использование двух компонентов для однопроводного сигнала</p>
<p>ЭСЛ</p>  <p>Частое использование для ЭСЛ-драйверов питанием 3,3 В</p>		<p>Использование четырех компонентов для дифференциального сигнала</p>

Ссылки

- www.analog.com/en/clock-and-timing/clock-generation-and-distribution/products/index.html
- www.analog.com/en/clock-and-timing/clock-generation-and-distribution/adclk954/products/product.html
- www.analog.com/en/clock-and-timing/clock-generation-and-distribution/adclk914/products/product.html

Автор



Джером Пату [jerome.patoux@analog.com]

Инженер по маркетингу ADI's Clock and Signal Synthesis Group, Гринсборо, Сев. Каролина. В 2002 году окончил ESIGETEL, Авон, Франция со степенью магистра в области электроники и телекоммуникационной инженерии. Также имеет степень магистра по управлению международным проектом Университета Квебека в Халле-Гатино, Канада и ISMANS, Ле-Ман, Франция. До прихода в ADI в 2005 году работал радиоинженером SFR Group и менеджером отдела SNCF.